

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 09-326399

[0021] to [0023]

[0021] Next, as shown in Figure 2(d), a first insulating layer 46 made of, for example, SiO_2 is deposited and formed so as to cover the first semiconductor layer 45, and the contact hole 33 leading to the part where the emitter region is to be formed which is in advance doped with the impurity is formed in the first insulating layer 46 by a known lithography technique and an etching technique. Then, after a second insulating layer (not shown in the drawings) is deposited and formed on the first insulating layer 46 so as to fill the contact hole 33, and the side wall insulating film 32 is formed in the contact hole 33 by etching back the second insulating layer.

[0022] Further, a second semiconductor layer (not shown in the drawings) made of polysilicon is formed on the first insulating layer 46 so as to pass in the side wall insulating film 32 of the contact hole 33 and reach the part where the emitter region is to be formed, into which the aforementioned impurity is doped,. Herein, ions of an n-type impurity are implanted into the second semiconductor layer simultaneously with or after the deposition. Subsequently, as shown in Figure 3(a), the second semiconductor layer is patterned using a resist mask 47 by a known lithography technique and an etching technique to form the emitter fetching electrode part 34. In this patterning, the second semiconductor layer and the first insulating film 46 are sequentially etched using the same resist mask 47, to allow the edge thereof (corresponding to the edge B of the low resistance layer 35 on the external base region 26a, which is on the emitter region 29's side, in Figure 1) to be located outside the edge A of the buried insulating layer 25, whereby part of the first semiconductor layer 45, that is, part of the region to be the external base region 26a is exposed.

[0023] Thereafter, a p-type impurity is implanted into part of the exposed

first semiconductor layer 45 by, for example, rotation oblique ion implantation as shown in Figure 3(b), thereby increasing the impurity concentration in the external base region 26a other than the region in the vicinity of the intrinsic base region (not shown in the drawings) of the base region 26 without increasing the impurity concentration in the intrinsic base region and the region in the vicinity thereof, so as to form the impurity high concentration part 30a. The region in which no impurity is implanted by this impurity implantation, that is, the intrinsic base region and the region in the vicinity thereof are the impurity low concentration part 30b. Such formation of the impurity high concentration part 30a by the impurity implantation further reduces the base resistance.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-326399

(43)Date of publication of application : 16.12.1997

(51)Int.Cl. H01L 21/331
H01L 29/73

(21)Application number : 08-141264

(71)Applicant : SONY CORP

(22)Date of filing : 04.06.1996

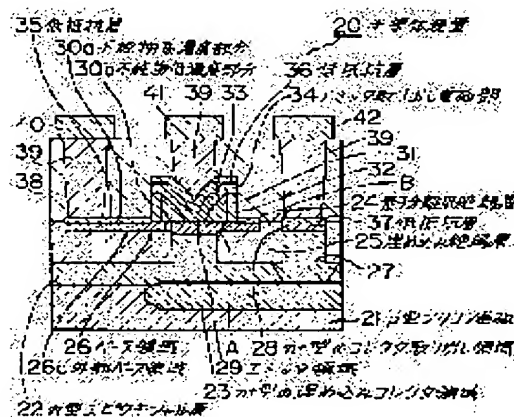
(72)Inventor : ICHIKAWA TSUTOMU

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which facilitates a high speed operation and its manufacturing method.

SOLUTION: In a semiconductor device 20 which has a bipolar transistor structure, an outer base region 26 formed in the surface layer of a semiconductor substrate 21 and a collector region consisting of an epitaxial layer 22 formed below the outer base region 26 are insulated from each other by an insulating layer 25 buried between the collector region and the outer base region 26. A low resistance layer 35 made of metal or alloy of metal and semiconductor is formed on the outer base region 26.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

1

【特許請求の範囲】

【請求項 1】 バイポーラトランジスタ構造を有する半導体装置であって、半導体基体表層部に形成された外部ベース領域と、これの下方に形成されたエピタキシャル層からなるコレクタ領域との間が、ここに埋め込み絶縁層が設けられたことによって絶縁されてなり、前記外部ベース領域の上部に、金属層あるいは金属と半導体との合金層が形成されてなることを特徴とする半導体装置。

【請求項 2】 エミッタ取り出し電極部の上部に、金属層あるいは金属と半導体との合金層が形成されてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 コレクタ取り出し領域の上部に、金属層あるいは金属と半導体との合金層が形成されてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記埋め込み絶縁層が素子分離用絶縁層に接続して形成されてなることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記埋め込み絶縁層のエミッタ領域側の端部がエミッタ領域の外側に配置され、前記外部ベース領域上の金属層あるいは金属と半導体との合金層のエミッタ領域側の端部が、前記埋め込み絶縁層のエミッタ領域側の端部より外側に配置されたことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 バイポーラトランジスタ構造を有する半導体装置の製造方法であって、半導体基体表層部に埋め込みコレクタ領域を形成する第 1 工程と、半導体基板上にエピタキシャル成長させて前記埋め込みコレクタ領域に連続するエピタキシャル層を形成する第 2 工程と、前記エピタキシャル層中の、外部ベース領域形成位置を含む所定位置に埋め込み絶縁層を形成する第 3 工程と、前記埋め込み絶縁層中の外部ベース領域形成位置に第 1 半導体層を形成し、次いで該第 1 半導体層および前記エピタキシャル層のエミッタ領域形成位置に不純物を導入する第 4 工程と、前記第 1 半導体層を覆って第 1 絶縁層を形成し、さらに前記不純物を導入したエミッタ領域形成位置に通じるコンタクトホールを該第 1 絶縁層に形成する第 5 工程と、前記第 1 絶縁層上に、前記コンタクトホール内を通して前記不純物を導入したエミッタ領域形成位置に連続するように第 2 半導体層を形成する第 6 工程と、前記第 2 半導体層および前記第 1 絶縁層を略同一パターンにエッチングし、第 2 半導体層をエミッタ取り出し電極部のパターンに形成するとともに、前記第 1 半導体層の一部を露出させる第 7 工程と、前記露出した第 1 半導体層の一部の上部に、金属層あるいは金属と半導体との合金層を形成する第 8 工程と、を備えたことを特徴とする半導体装置の製造方法。

2

【請求項 7】 前記第 7 工程と第 8 工程との間に、露出した第 1 半導体層の一部に不純物を導入する工程を有したことを特徴とする請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタ構造を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】バイポーラトランジスタ構造を有する半導体装置として、従来、例えば図 4 に示す構造のものが知られている。図 4 に示した半導体装置 1 は、ダブルポリ・セルフアライン型のもので、BiCMOS プロセスにおける npn トランジスタを有したものである。

【0003】この半導体装置 1 においては、p 型基板 2 とその上に形成された n 型エピタキシャル層 3 との境界近傍の領域に n⁺ 型の埋め込みコレクタ領域 4 が形成されている。前記 n 型エピタキシャル層 3 は、その上層部が選択酸化分離〔いわゆる LOCOS (Local Oxidation of Silicon)〕法で形成された素子分離用絶縁層 5 により、複数のいわゆる島状の素子形成領域に分離されている。この素子形成領域の表層部には、p 型のベース領域 6、前記 n⁺ 型の埋め込みコレクタ領域 4 に接続する n⁺ 型のコレクタ取り出し領域 7 が形成されている。

【0004】前記素子形成領域の上面には、多結晶シリコン層からなる 3 種類の取り出し電極部が設けられている。すなわち、前記ベース領域 6 に臨む位置にはエミッタ取り出し電極部 8 とベース取り出し電極部 9 とが接続されており、また、n⁺ 型のコレクタ取り出し領域 7 に臨む位置にはコレクタ取り出し電極部（図示略）が接続されている。そして、これらエミッタ取り出し電極部 8、ベース取り出し電極部 9、コレクタ取り出し電極部には、それぞれアルミニウム系金属を主材料としたエミッタ電極 10、ベース電極 11、コレクタ電極 12 が層間絶縁膜 13 に形成された開口部（図示略）を通じて接続されている。

【0005】

【発明が解決しようとする課題】ところで、近年では半導体装置に対しより一層の高性能化が求められており、当然、動作についてもその高速化が強く求められている。しかしながら、前記半導体装置 1 では、p 型のベース領域 6 中における外部ベース領域 6a とその直下のコレクタ領域である n 型エピタキシャル層 3 との間に接合容量が存在していることから、これが高速動作を損なう一つの要因になっており、結果として十分な動作の高速化が達成できていないのが実状である。本発明は前記事情に鑑みてなされたもので、その目的とするところは、高速動作を可能にした半導体装置とその製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体装置では、半導体基板表層部に形成された外部ベース領域と、これの下方に形成されたエピタキシャル層からなるコレクタ領域との間が、ここに埋め込み絶縁層が設けられたことによって絶縁されてなり、前記外部ベース領域の上部に、金属層あるいは金属と半導体との合金層が形成されてなることを前記課題の解決手段とした。

【0007】この半導体装置によれば、外部ベース領域とコレクタ領域とを埋め込み絶縁層によって分離したことにより、これらの間の接合容量がなくなる。また、外部ベース領域の上部に、金属層あるいは金属と半導体との合金層が形成されているので、この金属層あるいは合金層に上層配線を接続することにより、ベース抵抗の低減化が可能になる。

【0008】本発明の半導体装置の製造方法では、半導体基板表層部に埋め込みコレクタ領域を形成する第1工程と、半導体基板上にエピタキシャル成長させて前記埋め込みコレクタ領域に連続するエピタキシャル層を形成する第2工程と、前記エピタキシャル層中の、外部ベース領域形成位置を含む所定位置に埋め込み絶縁層を形成する第3工程と、前記埋め込み絶縁層中の外部ベース領域形成位置に第1半導体層を形成し、次いで該第1半導体層および前記エピタキシャル層のエミッタ領域形成位置に不純物を導入する第4工程と、前記第1半導体層を覆って第1絶縁層を形成し、さらに前記不純物を導入したエミッタ領域形成位置に通じるコンタクトホールを該第1絶縁層に形成する第5工程と、前記第1絶縁層上に、前記コンタクトホール内を通して前記不純物を導入したエミッタ領域形成位置に連続するように第2半導体層を形成する第6工程と、前記第2半導体層および前記第1絶縁層を略同一パターンにエッチングし、第2半導体層をエミッタ取り出し電極部のパターンに形成するとともに、前記第1半導体層の一部を露出させる第7工程と、前記露出した第1半導体層の一部の上部に、金属層あるいは金属と半導体との合金層を形成する第8工程とを備えたことを前記課題の解決手段とした。

【0009】この半導体装置の製造方法によれば、埋め込み絶縁層中のベース領域形成位置に第1半導体層を形成し、これに不純物を導入しているため、これをベース領域とすることにより、外部ベース領域とコレクタ領域とが埋め込み絶縁層によって分離されることになり、したがって外部ベース領域とコレクタ領域との間の接合容量がなくなる。また、第1半導体層の一部を露出させ、この露出した部分の上部に金属層あるいは金属と半導体との合金層を形成するので、この露出した第1半導体層の一部をベース領域における外部ベース領域とし、前記金属層あるいは合金層に上層配線を接続することにより、ベース抵抗の低減化が可能になる。

【0010】

【発明の実施の形態】以下、本発明をその実施形態例によって詳しく説明する。図1は、本発明の半導体装置の一実施形態例を示す図であり、この図において符号20は半導体装置である。この半導体装置20は、図4に示した半導体装置1と同様にnpnトランジスタ構造を有したものである。

【0011】すなわち、この半導体装置20においても、p型シリコン基板21とその上に形成されたn型エピタキシャル層22との境界近傍の領域にn⁺型の埋め込みコレクタ領域23が形成されている。前記n型エピタキシャル層22中には、その上層部の一部にSiO₂等からなる素子分離用絶縁層24が形成され、さらに、該素子分離用絶縁層24の下方にこれに連続した状態でSiO₂等からなる埋め込み絶縁層25が形成されている。これら素子分離用絶縁層24と埋め込み絶縁層25とは、後述するようにトレンチ素子分離技術によって一体に形成されたものである。なお、このような素子分離用絶縁層23により、本実施形態例の半導体装置20においても、島状の素子形成領域が複数分離形成されている。

【0012】この素子形成領域の表層部には、ポリシリコン（第1半導体）からなるp型のベース領域26、および前記n⁺型の埋め込みコレクタ領域23にn型プラグ27を介して電氣的に接続するn⁺型のコレクタ取り出し領域28が形成されている。p型のベース領域26内には、前記n型エピタキシャル層22における埋め込み絶縁層25が形成されていない部分の直上にエミッタ領域29が形成されている。このエミッタ領域29を囲むベース領域26は、エミッタ領域29の底面側に位置する真性ベース領域（図示略）とエミッタ領域29の周囲に位置する外部ベース領域26aとから構成され、また、このベース領域26は、不純物高濃度部分30aとこれより不純物濃度が低い不純物低濃度部分30bとからなっている。不純物高濃度部分30aは、エミッタ領域29近傍を除いた外部ベース領域26aに形成されたものであり、不純物低濃度部分30bは、真性ベース領域とエミッタ領域29近傍とに形成されたものである。

【0013】p型のベース領域26上には、第1絶縁層31、側壁絶縁膜32からなるパターンと、該パターン内に形成されたコンタクトホール33を通じて前記エミッタ領域29に接続するエミッタ取り出し電極部34とが形成されている。これら第1絶縁層31、側壁絶縁膜32からなるパターンと、エミッタ取り出し電極部34とは、後述するように同じマスクを用いて連続してエッチングされることにより、平面視のパターンが略同一に形成されたもので、前記エミッタ領域29および不純物低濃度部分30bの上面を覆い、さらに不純物高濃度部分30aの一部をも覆って配設されたものである。

【0014】また、外部ベース領域26aの、前記第1絶縁層31、側壁絶縁膜32からなるパターン、および

エミッタ取り出し電極部34に覆われない部分には、その上部に金属または金属と半導体（シリコン）との合金（シリサイド）からなる低抵抗層35が形成されている。同様に、エミッタ取り出し電極部34の上部にも、金属または金属と半導体（シリコン）との合金（シリサイド）からなる低抵抗層36が形成され、さらに前記 n^+ 型のコレクタ取り出し領域28にも、金属または金属と半導体（シリコン）との合金（シリサイド）からなる低抵抗層37が形成されている。

【0015】ここで、埋め込み絶縁層25のエミッタ領域29側の端部Aは、エミッタ領域29より外側に配置されており、また、外部ベース領域26a上の低抵抗層35の、エミッタ領域29側の端部Bは、前記埋め込み絶縁層25の端部Aよりさらに外側に配置されている。したがって、ベース-コレクタ間の接合面積がベース-エミッタ間の接合面積より大きくなることから、これが小さくなってコレクタ電流が抑制されるといったことがなく、効率的なベース-コレクタ間の寄生容量の消除を行うことができる。

【0016】また、前記外部ベース領域26a上の低抵抗層35、エミッタ取り出し電極部34上の低抵抗層36、 n^+ 型のコレクタ取り出し領域28上の低抵抗層37には、それぞれ、層間絶縁膜38に形成されたビアホール（図示略）内のタングステンプラグ39を介して、アルミニウム系金属を主材料としたベース電極40、エミッタ電極41、コレクタ電極42が接続されている。

【0017】次に、このような半導体装置20の製造方法を基に、本発明の製造方法の一実施形態例を図2

(a)～(d)、図3(a)～(c)を参照して説明する。まず、図2(a)に示すように、 p 型シリコン基板21の表層部に、酸化アンチモン(Sb_2O_3)を用いた固相拡散法などの公知の手法により、 n^+ 型の埋め込みコレクタ領域23を形成する。次に、既存のエピタキシャル成長技術により、 p 型シリコン基板21上に、前記 n^+ 型の埋め込みコレクタ領域23に連続するようにして n 型エピタキシャル層22を形成する。続いて、 n 型エピタキシャル層22中に、前記素子分離用絶縁層、および外部ベース領域26aに相当する領域を含めた前記埋め込み絶縁層となる絶縁層43を、公知のトレンチ素子分離技術によって一体成形する。

【0018】次いで、外部ベース領域26aを形成する部分を残したパターンにレジストでマスク（図示略）を形成し、先に形成した絶縁層43を、所望する外部ベース領域26aの厚さ分程度エッチングする。この絶縁層43のエッチングにあたっては、 n 型エピタキシャル層22との間で高選択比がとれるエッチング条件を探り、これによって n 型エピタキシャル層22をエッチングすることなくそのまま残すようにする。

【0019】続いて、図2(b)に示すように、先のエッチングで形成した外部ベース領域26aの形成位置と

なる凹部44を埋め込み、かつ該凹部44の深さより厚くなる状態に、ポリシリコンをCVD法等によって堆積し、第1半導体層45を形成する。次いで、この第1半導体層45の上部を、前記絶縁層43の、先のエッチングで除去されずに残っている上面、すなわち素子分離用絶縁層24となる部分の上面24aをストップとしたCMP（化学的機械的研磨）などによって除去し、図2(c)に示すように第1半導体層45側の面を平坦化する。

【0020】続いて、平坦化した第1半導体層45、および前記 n 型エピタキシャル層22のエミッタ領域形成位置に p 型の不純物をイオン注入によって導入する。また、これとは別に、 n 型エピタキシャル層22の n 型プラグ形成位置、および n^+ 型のコレクタ取り出し領域の形成位置にも、 n 型の不純物をイオン注入によって導入しておく。

【0021】次いで、図2(d)に示すように第1半導体層45を覆って SiO_2 等からなる第1絶縁層46を堆積形成し、さらに、公知のリソグラフィ技術、エッチング技術により、先に不純物を導入したエミッタ領域形成位置に通じるコンタクトホール33を該第1絶縁層46に形成する。続いて、コンタクトホール33をも埋め込むようにして第1絶縁層46上に第2絶縁層（図示略）を堆積形成し、さらにこの第2絶縁層をエッチバックすることにより、コンタクトホール33内に側壁絶縁膜32を形成する。

【0022】次いで、前記第1絶縁層46上に、前記コンタクトホール33内の側壁絶縁膜32間を通して前記不純物を導入したエミッタ領域形成位置に連続するように、ポリシリコンからなる第2半導体層（図示略）を形成する。ここで、第2半導体層には、その堆積と同時に、あるいは堆積後にイオン注入を行うことなどによって n 型の不純物を導入しておく。続いて、公知のリソグラフィ技術、エッチング技術により、図3(a)に示すようにレジストマスク47を用いて第2半導体層をパターンニングし、エミッタ取り出し電極部34を形成する。このパターンニングにおいては、第2半導体層および第1絶縁膜46を同一のレジストマスク47を用いて連続してエッチングし、その端部（図1に示した外部ベース領域26a上の低抵抗層35の、エミッタ領域29側の端部Bに一致）を埋め込み絶縁層25の端部Aより外側に位置させ、これにより第1半導体層45の一部、すなわち外部ベース領域26aとなる部分の一部を露出させる。

【0023】次いで、露出した第1半導体層45の一部に、図3(b)に示すように p 型の不純物を回転斜めイオン注入法等によって導入し、これによりベース領域26における真性ベース領域（図示略）およびその近傍における不純物濃度を増加させることなく、真性ベース領域近傍を除く外部ベース領域26aの不純物濃度を増加

させ、不純物高濃度部分30aを形成する。なお、この不純物導入処理によって不純物が導入されない部分、すなわち真性ベース領域とその近傍については、不純物低濃度30bとなる。このような不純物導入による不純物高濃度部分30aの形成により、ベース抵抗はさらに低減される。

【0024】なお、この場合に、エミッタ取り出し電極部34形成の際のパターニングに用いたレジストマスク47を、そのまま残してイオン注入（不純物導入）を行うことにより、エミッタ取り出し電極部34にp型不純物が注入されるのを防止する。また、n⁺コレクタ取り出し領域28については、予めこれを覆うレジストマスク（図示略）を形成しておくことにより、ここにp型不純物が導入されるのを防ぐようにしてもよく、また、ここでは一旦n⁺コレクタ取り出し領域28にp型不純物を導入しておき、その後、コレクタ電極形成に先立ってビアホールを形成した際、n型不純物の補償イオン注入を行い、p型不純物が導入されたコレクタ取り出し領域28を再度n型に反転させるようにしてもよい。

【0025】次いで、レジストマスク47を除去し、露出させたエミッタ取り出し電極部34、および先に不純物導入を行った外部ベース領域26aにおける不純物高濃度部分30aの一部、さらにn⁺のコレクタ取り出し領域28のそれぞれの上部に、Wなどの金属を選択成長させ、あるいはTiやCoなどによるサリサイド化を行い、図3(c)に示すように金属、あるいは金属とシリコン（半導体）との合金からなる低抵抗層36、35、37を形成する。なお、低抵抗層形成の必要がない部位には、予め該部位を絶縁膜で覆い、外部ベース領域26aにおける不純物高濃度部分30aの一部に低抵抗層35を形成するようにしてもよい。

【0026】次いで、図1に示したように形成した低抵抗層36、35、37を覆って層間絶縁膜38を形成し、さらに公知のリソグラフィ技術、エッチング技術を用いて外部ベース領域26a上の低抵抗層35、エミッタ取り出し電極部34上の低抵抗層36、n⁺型のコレクタ取り出し領域28上の低抵抗層37にそれぞれ通じるビアホール（図示略）を形成する。その後、これらビアホールにタングステンプラグ39を公知の手法によって埋め込み、さらに層間絶縁膜38上にアルミニウム系金属を主材料とした配線材料層（図示略）を形成し、これをパターニングしてベース電極40、エミッタ電極41、コレクタ電極42を形成することにより、半導体装置20を得る。

【0027】なお、この製造方法において、不純物導入後の熱拡散処理については、従来と同様の手法により工程中の適宜なときに行う。また、エミッタ領域29の形成については、エミッタ取り出し電極部34を形成した後従来と同様の適宜な熱処理を行うことにより、該エミッタ取り出し電極部34に導入された不純物をベース領

域26中にしみ出させることによって形成する。

【0028】このようにして得られた半導体装置20にあつては、外部ベース領域26とn型エピタキシャル層22、n⁺型の埋め込みコレクタ領域23によって形成されるコレクタ領域とを、埋め込み絶縁層25によって分離したことにより、これらの間の接合容量をなくすことができ、これによりベース-コレクタ間の寄生容量を大幅に削減し、従来に比べより一層の高速動作を可能にすることができる。また、外部ベース領域26aの上部に低抵抗層35を形成し、該低抵抗層35にタングステンプラグ39を介してベース電極40を接続したので、ベース抵抗を低減化することができ、これによりさらなる高速動作化を図ることができる。また、真性ベース領域とその近傍の不純物濃度を増加させることなく、外部ベース領域26aの周辺部の不純物濃度を増加させて不純物高濃度部分30aを形成したので、さらにベース抵抗を低減することができ、これによりさらなる高速動作化を進めることができる。

【0029】また、エミッタ取り出し電極部34の上部に低抵抗層36を、n⁺のコレクタ取り出し領域28の上部に低抵抗層37をそれぞれ形成したので、ここにおいても寄生抵抗を低減することができ、高速動作化を進めることができる。また、埋め込み絶縁層25のエミッタ領域29側の端部Aを、エミッタ領域29より外側に配置し、外部ベース領域26a上の低抵抗層35の、エミッタ領域29側の端部Bを、前記埋め込み絶縁層25の端部Aよりさらに外側に配置しているので、ベース-コレクタ間の接合面積がベース-エミッタ間の接合面積より大きくなることから、これが小さくなってコレクタ電流が抑制されるといったことがなく、効率的なベース-コレクタ間の寄生容量の削除を行うことができる。

【0030】また、前記半導体装置の製造方法にあつては、埋め込み絶縁層25中のベース領域形成位置に第1半導体層45を形成し、これに不純物を導入しているので、これをベース領域26とすることにより、外部ベース領域26aとn型エピタキシャル層22、n⁺型の埋め込みコレクタ領域23によって形成されるコレクタ領域とを埋め込み絶縁層25によって分離することができ、また、第1半導体層45の一部を露出させ、この露出した部分の上部に低抵抗層35を形成するので、前記半導体装置1を確実に製造することができる。また、低抵抗層35の形成に際して、エミッタ取り出し電極部34の上部に低抵抗層36を、n⁺のコレクタ取り出し領域28の上部に低抵抗層37をそれぞれ同時に形成することができ、したがってプロセスを複雑にすることなく高速動作化を図ることができる。

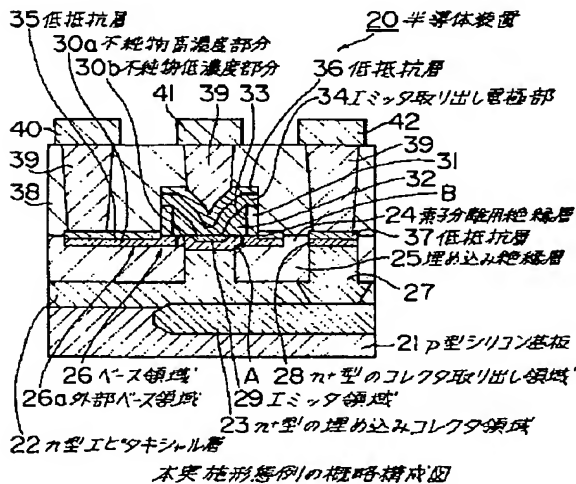
【0031】なお、前記実施形態例では、npnトランジスタの構造を有する例について説明したが、各半導体領域の導電型を逆にすることにより、pnpトランジスタの構造を有するものにしてもよいのはもちろんである。

【0032】

【発明の効果】以上説明したように本発明の半導体装置は、外部ベース領域とコレクタ領域とを埋め込み絶縁層によって分離したことにより、これらの間の接合容量がなくなったものであるから、ベース-コレクタ間の寄生容量を大幅に削減することができ、これにより従来に比べより一層の高速動作を可能にすることができる。また、寄生容量を大幅に削減することにより、消費電流を低減することができるといった効果も得られる。また、外部ベース領域の上部に、金属層あるいは金属と半導体との合金層からなる低抵抗層が形成されているので、この低抵抗層に上層配線を接続することにより、ベース抵抗を低減化することができ、これによりさらなる高速動作化を図ることができる。

【0033】本発明の半導体装置の製造方法にあつては、埋め込み絶縁層25中のベース領域形成位置に第1半導体層45を形成し、これに不純物を導入しているのので、これをベース領域26とすることにより、外部ベース領域26aとn型エピタキシャル層22、n⁺型の埋め込みコレクタ領域23によって形成されるコレクタ領域とを埋め込み絶縁層25によって分離することができ、埋め込み絶縁層中のベース領域形成位置に第1半導体層を形成し、これに不純物を導入しているのので、これをベース領域とすることにより、外部ベース領域とコレクタ領域とを埋め込み絶縁層によって分離することができ、また、第1半導体層の一部を露出させ、この露出した部分の上部に金属層あるいは金属と半導体との合金層を形成するので、高速動作を実現した前記半導体装置を

【図1】



確実に製造することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施形態例の概略構成を示す要部側断面図である。

【図2】(a)～(d)は、図1に示した半導体装置の製造方法の一例を工程順に説明するための要部側断面図である。

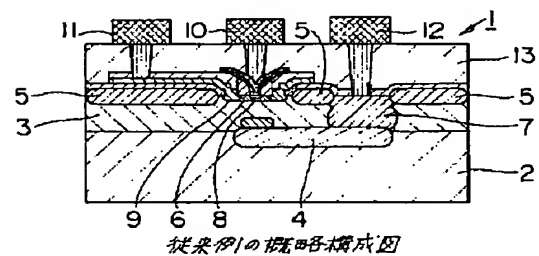
【図3】(a)～(c)は、図1に示した半導体装置の製造方法の一例を工程順に説明するための要部側断面図であり、図2(d)に続く工程を説明するための図である。

【図4】従来の半導体装置の一例の概略構成を示す要部側断面図である。

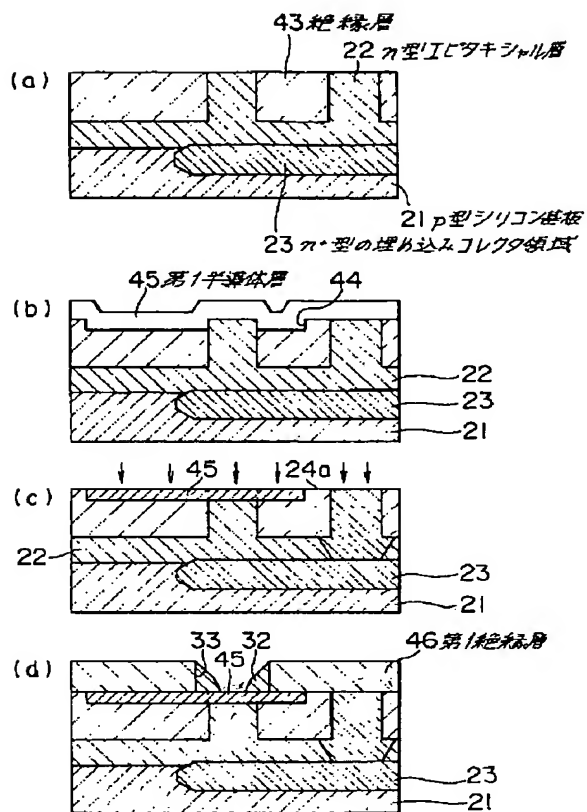
【符号の説明】

- | | |
|----------------|--------------------------------|
| 20 半導体装置 | 21 p型シリコン基板 |
| 22 n型エピタキシャル層 | 23 n ⁺ 型の埋め込みコレクタ領域 |
| 24 素子分離用絶縁層 | 25 埋め込み絶縁層 |
| 26 ベース領域 | |
| 26a 外部ベース領域 | 28 n ⁺ 型のコレクタ取り出し領域 |
| 29 エミッタ領域 | 30a 不純物高濃度部分 |
| 30b 不純物低濃度部分 | 31 第1絶縁膜 |
| 3 コンタクトホール | |
| 34 エミッタ取り出し電極部 | 35、36、37 低抵抗層 |
| 45 第1半導体層 | 46 第1絶縁層 |

【図4】

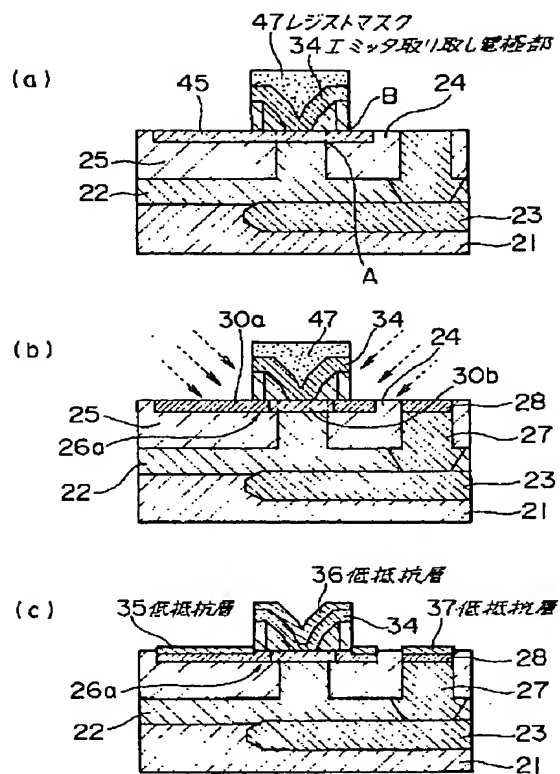


【図2】



製造工程説明図(その1)

【図3】



製造工程説明図(その2)